

## PROIECT AEMC (VI) CIRCUITE DE MULTIPLEXARE

### Porti ȘI-NU cu selectare – MMC 4019

Circuitul MMC 4019 conține 4 configurații de porți ȘI – NU cu selectoare între două cuvinte de 4 biți, fiecare configurație având 2 porți ȘI cu 2 intrări de comandă și o poartă SAU cu 2 intrări. Selecția unuia dintre cuvintele de 4 biți ( $A_1, \dots, A_4, B_1, \dots, B_4$ ) se realizează prin biții de control  $k_a$  și  $k_b$ .

În afară de selecția informației, fie de la canalul A., fie de la canalul B, prin aplicarea simultană a biților de control  $k_a$  și  $k_b$  se poate realiza funcția logică SAU, între canalele A și B de 4 biți. Semnificația terminalelor este prezentată în fig. 6.1.

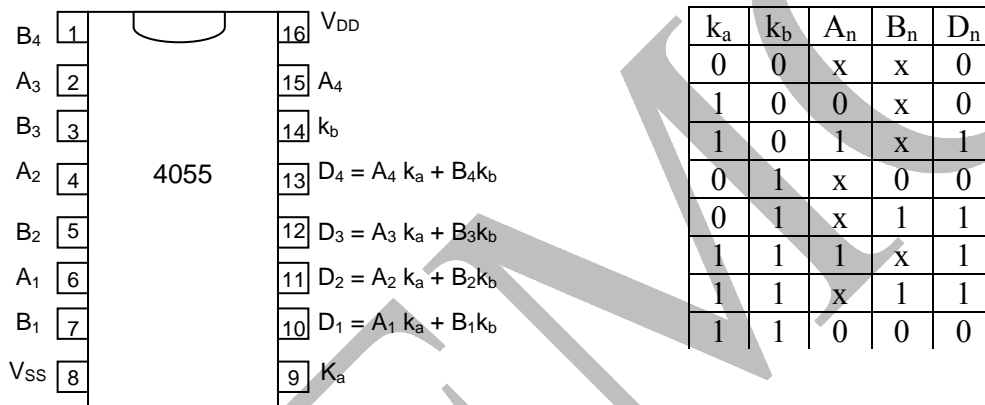


Fig. 6.1

Funcționarea pe un bit de ieșire se poate urmări în schema logică funcțională din fig. 6.2.

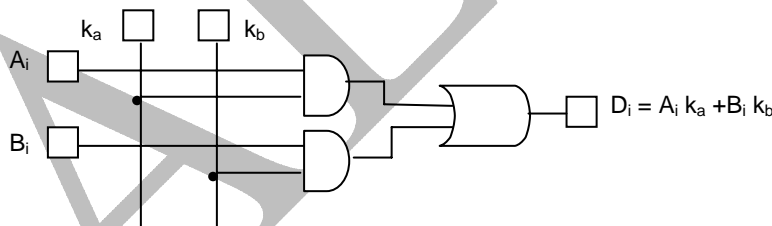


Fig. 6.2

În fig. 6.3 se prezintă modul de utilizare a circuitului MMC 4019 ca multiplexor cvadruplu cu 2 intrări (4 multiplexoare 2x).

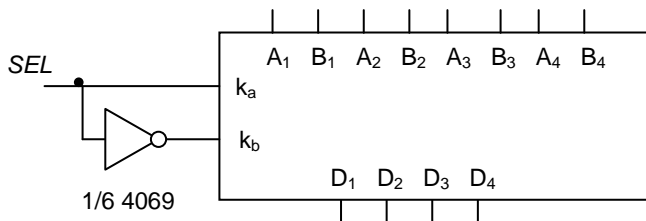


Fig. 6.3

Dacă  $SEL = 1$ , se selectează grupa de intrări A, iar dacă  $SEL = 0$  se selectează grupa de intrări B.

## Multiplexor / demultiplexor analogic diferențial cu 4 canale – MMC 4052

Circuitul MMC 4052 este un multiplexor / demultiplexor analogic diferențial cu 4 canale, având 2 intrări de control binare A și B și o intrare de inhibare (*INHIBIT*). Cele două intrări binare selectează una din cele 4 perechi de canale, deschizând comutatoarele analogice (starea 0x0) corespunzătoare canalelor selectate.

Multiplexarea semnalelor analogice cu amplitudine de până la 20 V vârf la vârf se realizează cu semnale digitale cu amplitudini de la 4,5 V până la 20 V (dacă  $V_{DD} - V_{SS} = 3$  V, se pot controla semnale  $V_{DD} - V_{EE}$  până la 13 V; pentru diferențe  $V_{DD} - V_{EE}$  de peste 13 V este necesară o diferență  $V_{DD} - V_{SS}$  de minimum 4,5 V). De exemplu, dacă  $V_{DD} = +5$  V,  $V_{SS} = 0$  V și  $V_{EE} = 13,5$  V, se pot controla semnale analogice cu valori între 0 și 13,5 V cu ajutorul unor semnale digitale între 0 și 5 V.

Circuitul conține comutatoare analogice care au impedanța în starea ON coborâtă și curenți reziduali în starea OFF foarte mici. Schema de încapsulare este prezentată în fig. 6.4.

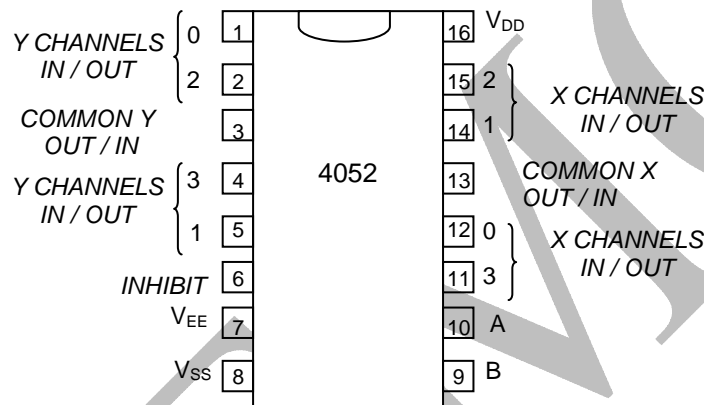


Fig. 6.4

Un nivel 1 logic pe intrarea *INHIBIT* aduce toate canalele în starea OFF (blocate).

### Performanțe:

- plajă mare pentru semnalele analogice și digitale: 3 ... 20 V, analogice de până la 20 V vârf la vârf;
- rezistență în starea ON mică (125  $\Omega$  tipic) pe o plajă de 15 V vârf la vârf a semnalului de intrare și  $V_{DD} - V_{EE} = 15$  V;
- împerecherea rezistențelor în starea ON a convertoarelor : 5  $\Omega$  tipic, pentru  $V_{DD} - V_{EE} = 15$  V;
- rezistență mare în starea OFF: curent rezidual de  $\pm 100$  pA tipic, pentru  $V_{DD} - V_{EE} = 18$  V.

Funcționarea circuitului este descrisă și de tabelul de adevăr:

INHIBIT	B	A	Canal deschis (ON)
0	0	0	0x, 0y
0	0	1	1x, 1y
0	1	0	2x, 2y
0	1	1	3x, 3y
1	x	x	Nici unul

Un exemplu de utilizare a circuitului MMC 4052 pentru multiplexarea de semnale digitale este prezentat în fig. 6.5. Circuitul este utilizat pentru deservirea unui afișaj, folosind un singur decodor tip MC 4511. Afișoarele sunt de tip catod comun.

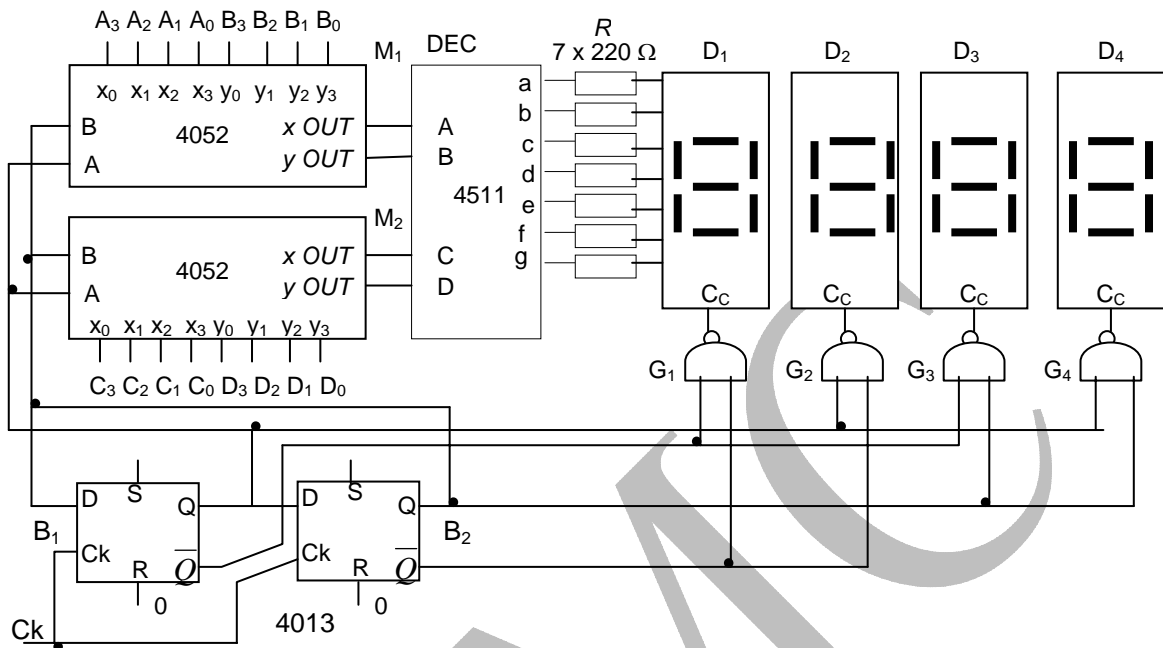


Fig. 6.5

$D_1, \dots, D_4$  sunt de tip MDE 2111 (catod comun).  
 $V_{DD} = 10 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$  (pentru toate circuitele CMOS).

$$G_1 = \overline{Q_1} \cdot Q_2$$

$$G_2 = \overline{Q_1} \cdot \overline{Q_2}$$

$$G_3 = \overline{Q_1} \cdot \overline{Q_2}$$

$$G_4 = \overline{Q_1} \cdot Q_2$$

Ck	$Q_2$	$Q_1$	$\overline{Q_2}$	$\overline{Q_1}$
0	0	0	1	1
1	0	1	1	0
2	1	1	0	0
3	1	0	0	1
4	0	0	1	1

Ck	D	Q	$\overline{Q}$
$0 \rightarrow 1$	0	0	1
$0 \rightarrow 1$	1	1	0

Bistabilele  $B_1, B_2$  (tip 4013, bistabile D) sunt conectate într-o configurație de numărător în cod Gray. Considerând starea inițială  $Q_1 = 0, Q_2 = 0$ , evoluția în timp este descrisă în tabel.

Stările succesive sunt modificate de frontul crescător aplicat simultan intrărilor de clock  $Ck$  de la  $B_1, B_2$  ținând seama de funcționarea bistabilului tip D și de modul de conectare a intrărilor de date:  $D_1$  cu  $\overline{Q_2}$  și  $D_2$  cu  $Q_1$ .

Pentru funcționarea sincronă a bistabilelor D s-au fixat  $R$  și  $S$  la nivel 0.

Frecvența de tact la intrarea  $Ck$  se ia tipic 1 kHz, având în vedere că se multiplexează module de afișaj cu LED-uri.

În funcție de stările numărătorului în cod Gray, numai la ieșirea unei singure porți NAND dintre  $G_1, \dots, G_4$  este nivel 0 logic. Situația porților este prezentată în tabelul următor. Pentru înțelegerea funcționării circuitului, completăm tabelul cu situația multiplexorului, ținând seama de tabelul de adevăral circuitului MMC 4052.

Q <sub>2</sub>	Q <sub>1</sub>	G <sub>1</sub>	G <sub>2</sub>	G <sub>3</sub>	G <sub>4</sub>	A = Q <sub>1</sub>	B = $\overline{Q_2}$	Intrări selectate	Digit ce trebuie conectat
0	0	1	1	0	1	0	1	x <sub>2</sub> , y <sub>2</sub>	z <sub>1</sub>
0	1	1	1	1	0	1	1	x <sub>3</sub> , y <sub>3</sub>	z <sub>0</sub>
1	1	1	0	1	1	1	0	x <sub>1</sub> , y <sub>1</sub>	z <sub>2</sub>
1	0	0	1	1	1	0	0	x <sub>0</sub> , y <sub>0</sub>	z <sub>3</sub>

Dacă vom considera afișarea celor 4 digiți astfel:

z<sub>0</sub> – digitul cel mai puțin semnificativ pe modulul D<sub>4</sub>;

z<sub>1</sub> – digitul cel mai puțin semnificativ pe modulul D<sub>3</sub>;

z<sub>2</sub> – digitul cel mai puțin semnificativ pe modulul D<sub>2</sub>;

z<sub>3</sub> – digitul cel mai puțin semnificativ pe modulul D<sub>1</sub>

s-ar putea stabili, folosind tabelul de mai sus, modul de conectare a ieșirilor numerice corespunzătoare celor 4 digiți la intrările multiplexoarelor.

Fie următoarea formă a celor 4 digiți:

$z_0 = D_0 C_0 B_0 A_0$ ;  $z_1 = D_1 C_1 B_1 A_1$ ;  $z_2 = D_2 C_2 B_2 A_2$ ;  $z_3 = D_3 C_3 B_3 A_3$ . Din modul de realizare a schemei rezultă că fiecare multiplexor controlează câte 2 biți. Astfel, M<sub>1</sub> controlează biții A<sub>i</sub> și B<sub>i</sub> iar M<sub>2</sub> controlează biții C<sub>i</sub> și D<sub>i</sub>. Ca urmare, conexiunile ce trebuie realizate sunt precizate în ultima coloană a tabelului anterior și detaliate în tabelul următor.

Multiplexoare				Surse digitale			
M <sub>2</sub>		M <sub>1</sub>		D	C	B	A
y <sub>3</sub>	x <sub>3</sub>	y <sub>3</sub>	x <sub>3</sub>	D <sub>0</sub>	C <sub>0</sub>	B <sub>0</sub>	A <sub>0</sub>
y <sub>2</sub>	x <sub>2</sub>	y <sub>2</sub>	x <sub>2</sub>	D <sub>1</sub>	C <sub>1</sub>	B <sub>1</sub>	A <sub>1</sub>
y <sub>1</sub>	x <sub>1</sub>	y <sub>1</sub>	x <sub>1</sub>	D <sub>2</sub>	C <sub>2</sub>	B <sub>2</sub>	A <sub>2</sub>
y <sub>0</sub>	x <sub>0</sub>	y <sub>0</sub>	x <sub>0</sub>	D <sub>3</sub>	C <sub>3</sub>	B <sub>3</sub>	A <sub>3</sub>

Rezultatul obținut îl consemnăm în fig. 6.5, prin precizarea modului de conectare a biților de intrare (de la sursele numerice) A<sub>i</sub>, B<sub>i</sub>, C<sub>i</sub> și D<sub>i</sub> la intrările x<sub>j</sub>, y<sub>j</sub> de la cele două multiplexoare.

Ieșirile porților G<sub>1</sub>, ..., G<sub>4</sub> se conectează ca catodii comuni C<sub>C</sub> ai modulelor de afișaj corespunzătoare: D<sub>1</sub>, ..., D<sub>4</sub>. Când una din porți dă la ieșire nivel 0 logic, modulul corespunzător este conectat cu catodul comun la nivel 0 logic și se afișează informația ce se găsește la intrarea decodurului 4511. Dar, conform tabelului, se realizează corespondența între modulul de afișaj activat (unul din patru) și digitul corespunzător selectat cu ajutorul multiplexoarelor (un digit din patru). Facem precizare că pentru multiplexare, conectarea modulelor de afișaj se face cu toate intrările a<sub>i</sub> legate corespunzător; la fel pentru b<sub>i</sub> și g<sub>i</sub>, ca în fig. 6.6.

Pentru ca multiplexoarele M<sub>1</sub>, M<sub>2</sub> (4052) să funcționeze corect, intrările *INHIBIT* trebuie conectate la nivel 0 logic.

Sistemul multiplexat de afișare asigură pentru fiecare modul un factor de umplere de  $\frac{1}{4} = 25\%$ . Ca urmare, pentru a nu reduce strălucirea afișajului, se poate lucra în aceste condiții cu curenți mai mari prin LED-urile segmentelor (față de valoarea tipică de 20 mA, valabilă în curent continuu).

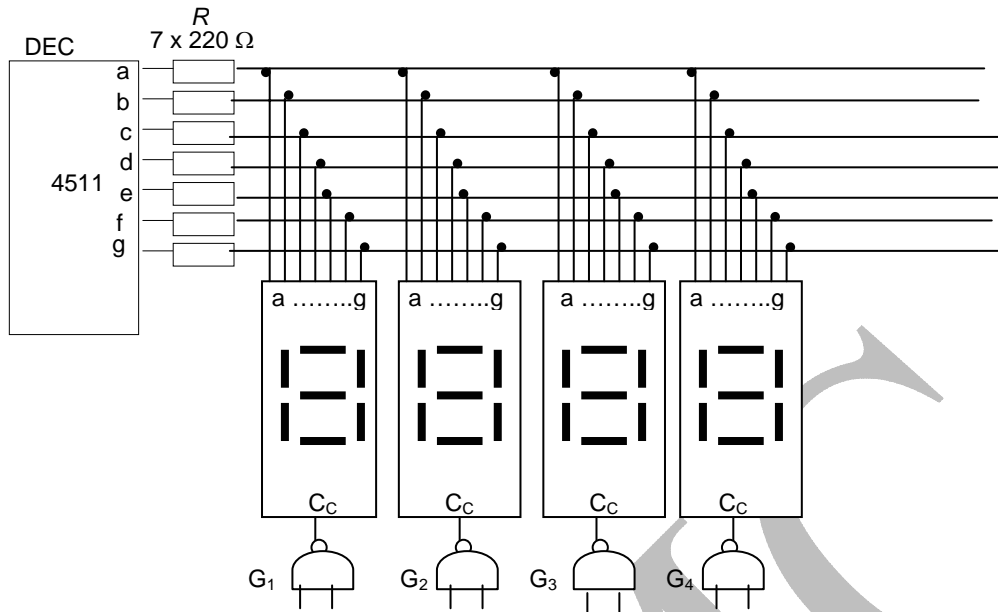


Fig. 6.6

### Circuite pentru stocarea temporară a datelor Circuitul MMC 4508 – două latch-uri de 4 biți

Circuitul integrat MMC 4508 conține 2 latch-uri de 4 biți, identice, cu intrări separate de control *STROBE*, *RESET* și *OUTPUT DISABLE*.

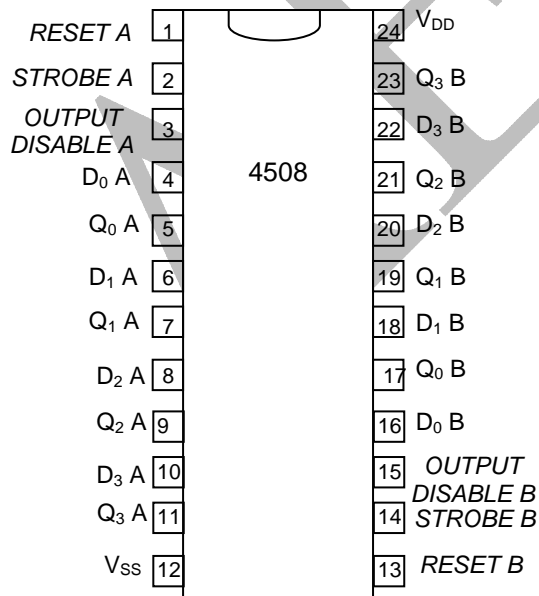


Fig. 6.7

Cu intrarea *STROBE* = 1 logic, datele de pe intrările D apar la ieșirile Q corespunzătoare, dacă *OUTPUT DISABLE* = 0 logic. Schimbând *STROBE* = 0 logic, datele vor fi menținute în latch. Un 1 logic pe *RESET* aduce ieșirile în 0 logic, ținând seama de starea intrării *STROBE*. Ieșirile sunt forțate în starea de impedanță ridicată (pentru aplicații cu magistrala) prin 1 logic pe intrarea *OUTPUT DISABLE*.

Semnificația terminalelor este dată în fig. 6.7.

#### Performanțe:

- 2 latch-uri de 4 biți independente;
- ieșiri “3 - state”;
- timp de propagare: 70 ns (tipic), pentru  $C_L = 50 \text{ pF}$  și  $V_{DD} = 10 \text{ V}$ .

Funcționarea circuitului rezultă din tabelul de adevăr:

RESET	DISABLE	STROBE	D	Q
0	0	1	1	1
0	0	1	0	0
0	0	0	x	latch
1	0	0	x	0
x	1	x	x	z

x = indiferent

z = stare de impedanță ridicată (din "3 - state")

Existența facilității "3 - state" în starea de impedanță ridicată permite multiplexarea ieșirilor de la mai multe latch-uri pentru aceeași magistrală. La un moment dat, un singur latch va fi activ, toate celelalte fiind în starea de impedanță ridicată. În acest fel, pe magistrală se vor găsi datele memorate în latch-ul activ.

### Module de afișaj

Deoarece în cadrul proiectului se folosește modul de lucru cu comanda directă a modulelor de afișaj (folosind decodificatoare), modulele de afișaj folosite vor fi de tipul cu anodul comun. Tipurile de afișaje existente sunt: MDE 2101 R, ..., MDE 2104 R (cu lumină roșie) sau MDE 2101 V, ..., MDE 2104 V (cu lumină verde). Modul de încapsulare este prezentat în fig. 6.8.

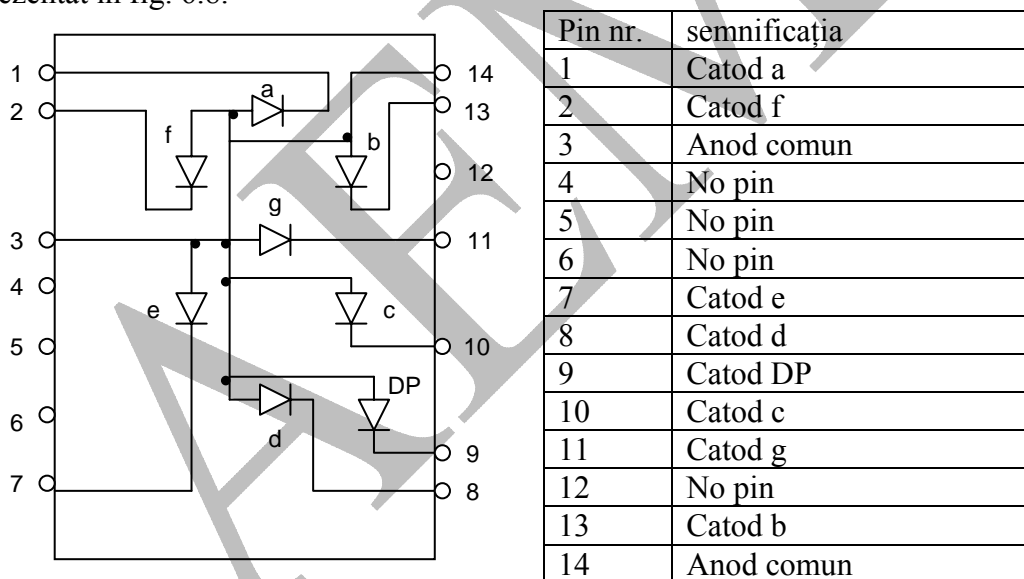


Fig. 6.8

Pentru proiectarea corectă a sistemului de afișaj trebuie avute în vedere caracteristicile electrice ale modului:

$I_F$  - curent direct maxim = 20 mA /segment;

$I_{FD}$  - impuls de curent direct (lățime 1 ms, factor de umplee 0,25) = 60 mA /segment;

$V_F$  - tensiune directă = 1,7 ... 2,1 V / segment;

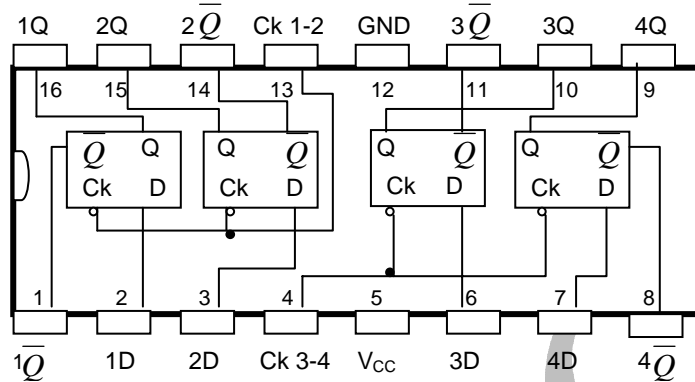
$V_R$  - tensiune inversă = 3 V;

$P_D$  - putere disipată = 300 mW;

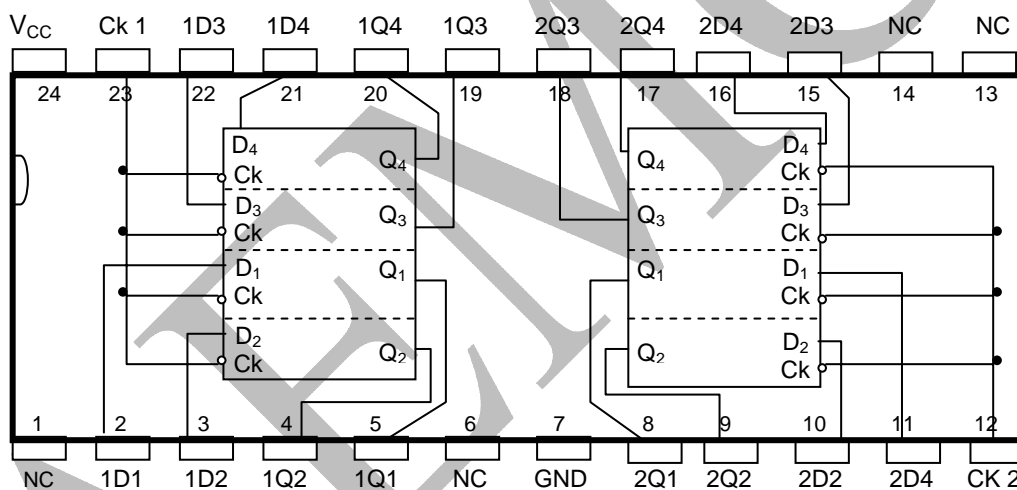
$T_A$  - temperatură de lucru = -70°C ... +85°C.

**Circuite latch – SN 7475 și SN 74 100 (bistabile “LATCH” de 4 biți și 8 biți)**

SN 7475



SN 74100



Tabelul de adevăr pentru fiecare LATCH este următorul:

$t_n$	$t_{n+1}$
D	Q
1	1
0	0

$t_n$  = timpul corespunzător bitului dinaintea tranziției  $1 \rightarrow 0$  a intrării *CLOCK* = timpul după tranziția  $1 \rightarrow 0$  a intrării *CLOCK*.

Aceste circuite LATCH sunt ideale pentru stocarea temporară a informației între unitățile de prelucrare și cele de intrare / ieșire sau indicare.

Informația prezentă la intrarea de date D este transferată la ieșirea Q atunci când intrările de *CLOCK* sunt în 1 logic și ieșirea Q va urmări intrarea de date atât timp cât *CLOCK* rămâne în 1 logic. Când *CLOCK* trece în 0 logic, informația care era prezentă la intrarea de date în momentul în care a avut loc tranziția, este reținută la ieșirea Q până când *CLOCK* are permisiunea de a merge în 1 logic.

Circuitele SN 7475 asigură ieșiri complementare  $Q$  și  $\bar{Q}$  de la un latch de 4 biți și nu este disponibil în capsula de 16 pini.

Circuitele SN 74100 conțin 2 latch-uri cvadruple într-o singură capsulă cu 24 pini și o densitate de montaj sporită.

Circuitele sunt compatibile cu familiile DTL și TTL. Puterea disipată este de 40 mW / latch., funcționând într-un domeniu de temperaturi de  $0^{\circ}\text{C} \dots +70^{\circ}\text{C}$ .

Schema bloc funcțională pentru fiecare latch este următoarea:

